

Stato Redi-Go (1)

- Partecipanti :
 - Padova
 - M. Bellato, R. Isocrate, G. Rampazzo, F. Montecassiano
 - Legnaro
 - D. Bortolato, A. Gozzelino, M. Gulmini, G. Maron, N. Toniolo, A. Triossi
- Obiettivo
 - Architetture di Readout a 10Gb/s su protocollo TCP, accelerate in hardware.
- Obiettivo 2011
 1. Prototipo acceleratore TCP su FPGA a 1Gb/s
 2. Qualifica su scheda di valutazione
 3. Qualifica Event Builder 2x2 (Legnaro)

Stato Redi-Go (2)

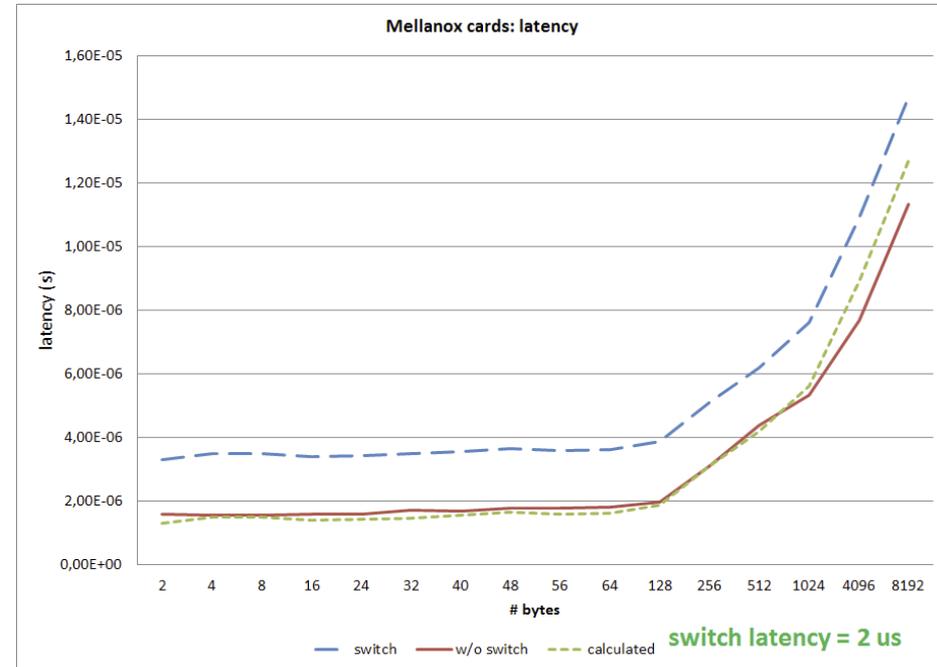
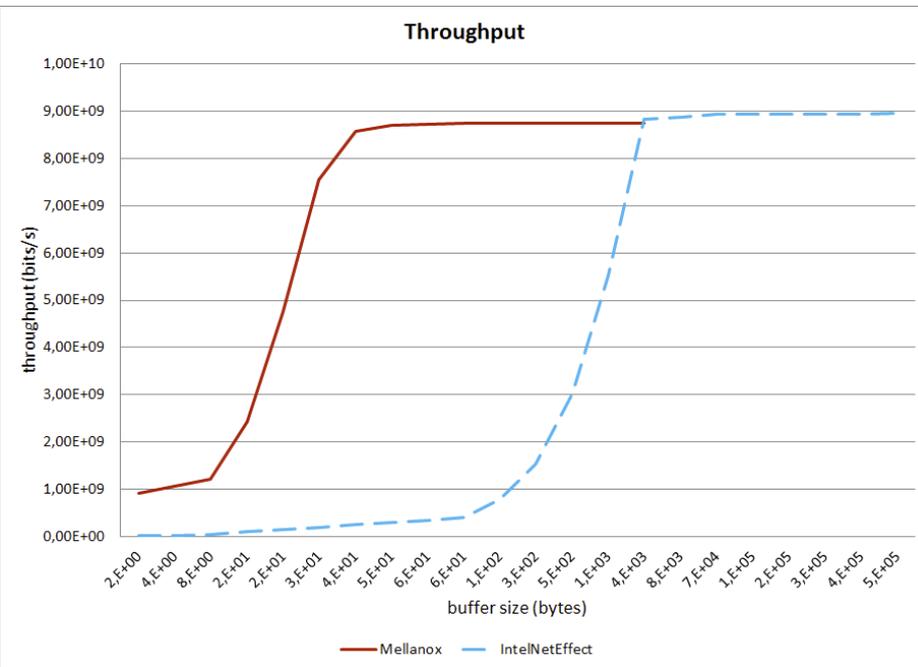
- Disegno e sintesi di (1) completati
 - Flusso di progetto complesso
 - Layer implementati : IP, ICMP, ARP e TCP
 - Connessione attiva/passiva
 - Max num. socket = 16
 - Area = 25K logic cells
 - Chiusura timing a 125 MHz
 - Simulazione completa dello stack in simulatore Verilog
- Qualifica (2) a 1Gb/s in corso
 - Su scheda di valutazione Xilinx ML507
 - Link affidabile
 - Performance limitata da accesso multiplo a memoria

Stato Redi-Go (4)

- Event builder 2x2 prototipo provato a LNL con schede Intel NetEffect e Mellanox e Switch Summit x650-24x
- Differenti configurazioni
 - Con/senza hardware offload
 - I/O programmato e DMA
 - Back-to-back e con switch

Stato Redi-Go (5)

Test di throughput e latenza nelle diverse configurazioni



MI
Consumo 5k€